<u>กำหนดการอบรม</u>
หลักสูตรการออกแบบระบบดิจิทัลด้วย VHDL และ FPGA
(Digital IC System Design with VHDL and FPGA: DICD)
ระหว่างวันที่ 21-23 มกราคม 2569
ณ โรงแรมอมารี วอเตอร์เกท กรุงเทพฯ

🕒 กำหนดการอบรม (3 วัน)

▨ วันแรก: พื้นฐานและการจำลองวงจร

เวลา	หัวข้อ
09:00 - 10:30	บรรยาย: พื้นฐาน VHDL และ Digital Design
10:45 - 12:00	แนะนำเครื่องมือพัฒนา: GHDL, GOWIN IDE (โปรแกรม FPGA),VScode
13:00 - 14:30	LAB 1: เขียนและจำลอง VHDL – Logic Gates, Multiplexers การออกแบบวงจร
14:45 - 16:30	LAB 2: Behavioral vs Dataflow Modeling รูปแบบการเขียนโปรแกรม

Output: เข้าใจ VHDL Syntax, ใช้งานเครื่องมือจำลองวงจร

▨ วันที่สอง: ออกแบบวงจรและทดลองจริงบน FPGA

เวลา	หัวข้อ
09:00 - 10:30	บรรยาย: Architecture, FSM, RTL, และ Process
10:45 - 12:00	LAB 3: ออกแบบ Finite State Machine (FSM)
13:00 - 14:30	LAB 4: การสังเคราะห์และดาวน์โหลดลง FPGA GOWIN
14:45 - 16:30	LAB 5: ระบบควบคุมอัตโนมัติแบบ Digital I/O Interface

Output: ทดสอบระบบควบคุมแบบ FSM บนบอร์ด FPGA

▨ วันที่สาม: Industrial Applications & AI Integration

เวลา	หัวข้อ
09:00 - 10:30	บรรยาย: การประยุกต์ VHDL กับระบบ Industrial Automation
10:45 - 12:00	LAB 6: การเชื่อมต่อ Sensor และ IIoT Protocol (เช่น UART, SPI)
13:00 - 14:30	LAB 7: การประยุกต์ Vision บน FPGA (เช่น Simple Edge Detection)
14:45 - 16:30	Mini Project & Discussion: Design & Demo

Output: ออกแบบต้นแบบระบบอัตโนมัติ/AI ที่ใช้งานได้
หมายเหตุ:
1. กำหนดการและสถานที่อบรมอาจเปลี่ยนแปลงได้ตามความเหมาะสมและความจำเป็นโดยยังคงเนื้อหาและสาระสำคัญของการอบรมไว้
2. พักรับประทานอาหารว่าง ช่วงเช้า เวลา 10.30 – 10.45 น. และช่วงบ่าย เวลา 14.30 – 14.45 น. และ พักรับประทานอาหารกลางวัน เวลา 12.00 – 13.00 น.
3. ผู้เข้าร่วมอบรมต้องมีเวลาเข้าเรียนไม่ต่ำกว่า 80% จึงจะได้รับวุฒิบัตรจากสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.)

DO NOT COPY